

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-168329

(43)Date of publication of application : 22.06.2001

(51)Int.Cl.

H01L 29/78

(21)Application number : 11-352780

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 13.12.1999

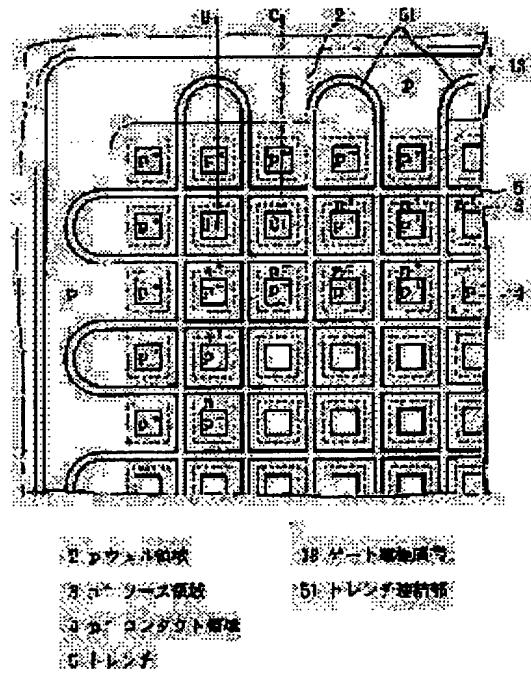
(72)Inventor : YAMAZAKI TOMOYUKI
NISHIMURA TAKEYOSHI

(54) TRENCH MOS SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a trench MCS semiconductor device equipped with a gate of MOS structure provided inside the trench, in which a floating well is not formed on the periphery without sacrificing an active area and deteriorating the device in withstand voltage characteristics.

SOLUTION: A connector 51 of large curvature connected between the terminal of a trench 5 extending towards a chip end and the one end of the adjacent trench is provided in a P well region 2.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-168329
(P2001-168329A)

(43)公開日 平成13年6月22日 (2001.6.22)

(51)Int.Cl.
H01L 29/78

識別記号

F I
H01L 29/78

デマコード (参考)

652N
652K
653A

審査請求 未請求 請求項の数9 OL (全8頁)

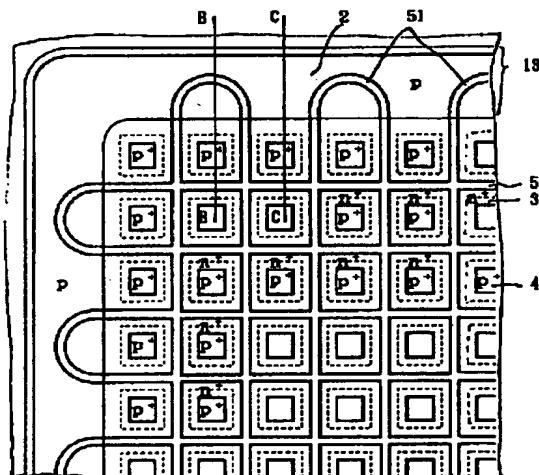
(21)出願番号 特願平11-352780
(22)出願日 平成11年12月13日 (1999.12.13)(71)出願人 000005234
富士電機株式会社
神奈川県川崎市川崎区田辺新田1番1号
(72)発明者 山崎 智幸
神奈川県川崎市川崎区田辺新田1番1号
富士電機株式会社内
(72)発明者 西村 武義
神奈川県川崎市川崎区田辺新田1番1号
富士電機株式会社内
(74)代理人 100088339
弁理士 鶴部 正治

(54)【発明の名称】 トレンチ型MOS半導体装置

(57)【要約】

【課題】トレンチ内に設けられたMOS構造のゲートを有するトレンチ型MOS半導体装置において、活性面積を犠牲にすることなく、また耐圧特性を劣化させることなく、外周にフローティングウェルを作らない構造を提供する。

【解決手段】チップ端に向かうトレンチ5の終端と、隣接するトレンチの内の方の端とを結ぶ、大きな曲率をもつ連結部51を、pウェル領域2の中に設ける。



2 pウェル領域 13 ゲート電極層帶
3 n+ ソース領域 51 トレンチ連結部
4 p+ コンタクト領域
5 トレンチ

【特許請求の範囲】

【請求項1】第一導電型ドレイン層と、その第一導電型ドレイン層の一方に設けられた第二導電型ウェル領域と、第二導電型ウェル領域の表面層に形成された第一導電型ソース領域と、その第一導電型ソース領域の表面から第二導電型ウェル領域を貫通し第一導電型ドレイン層に達するトレンチと、トレンチ内にゲート絶縁膜を介して設けられたゲート電極層と、第一導電型ソース領域と第二導電型ウェル領域との表面に共通に接触して設けられたソース電極と、第一導電型ドレイン層の他方に設けられたドレイン電極とからなるトレンチ型MOS半導体装置において、チップ端に向かうトレンチが、そのトレンチの終端と隣接するトレンチの内の方のトレンチの終端とをつなぐトレンチ連結部を、第二導電型ウェル領域内に有することを特徴とするトレンチ型MOS半導体装置。

【請求項2】第一導電型ドレイン層と、その第一導電型ドレイン層の一方に設けられた第二導電型ウェル領域と、第二導電型ウェル領域の表面層に形成された第一導電型ソース領域と、その第一導電型ソース領域の表面から第二導電型ウェル領域を貫通し第一導電型ドレイン層に達するトレンチと、トレンチ内にゲート絶縁膜を介して設けられたゲート電極層と、第一導電型ソース領域と第二導電型ウェル領域との表面に共通に接触して設けられたソース電極と、第一導電型ドレイン層の他方に設けられたドレイン電極とからなるトレンチ型MOS半導体装置において、チップ端に向かうトレンチの一部が、そのトレンチの終端と隣接するトレンチの内の方のトレンチの終端とをつなぐトレンチ連結部を、第二導電型ウェル領域内に有することを特徴とするトレンチ型MOS半導体装置。

【請求項3】チップ端に向かうトレンチの一部が、トレンチの終端と隣接するトレンチの内の方のトレンチの終端とをつなぐトレンチ連結部と、隣接する他方のトレンチの終端とをつなぐトレンチ連結部とを、第二導電型ウェル領域内に有することを特徴とする請求項2に記載のトレンチ型MOS半導体装置。

【請求項4】大きな曲率半径をもつトレンチ連結部を設けることを特徴とする請求項1ないし3のいずれかに記載のトレンチ型MOS半導体装置。

【請求項5】半導体チップの周辺部にトレンチ内のゲート電極層と接続するゲート電極層帯を設けることを特徴とする請求項4に記載のトレンチ型MOS半導体装置。

【請求項6】ゲート電極層帯の下方に大きな曲率を有するトレンチ連結部を有することを特徴とする請求項5に記載のトレンチ型MOS半導体装置。

【請求項7】半導体チップの中央部にトレンチ内のゲート電極層と接続するゲート電極層帯を設けることを特徴とする請求項4に記載のトレンチ型MOS半導体装置。

【請求項8】ゲート電極層帯の下方に大きな曲率を有す

るトレンチ連結部を有することを特徴とする請求項7に記載のトレンチ型MOS半導体装置。

【請求項9】ゲート電極層帯の下方に直線的なトレンチを有することを特徴とする請求項7に記載のトレンチ型MOS半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、トレンチ内に絶縁膜を介して埋め込まれた制御用のゲート電極を有する、

10 MOSFET（金属-酸化膜-半導体構造のゲート電極を有する電界効果トランジスタ）、IGBT（絶縁ゲートバイポーラトランジスタ）、絶縁ゲートサイリスタ、およびそれらの集合体であるインテリジェントパワー・モジュール（IPM）などのトレンチ型MOS半導体装置

15 に関する。

【0002】

【従来の技術】トレンチ型MOS半導体装置では、トレンチの端に起因する結晶欠陥やその部分の絶縁膜の影響を防止し、ゲート耐圧の向上を図る等の目的で、チップの端に向かうトレンチの先端を、隣接するトレンチの先端と結ぶ方法が、例えば、特開平8-293601号、特開平10-214968号、特開平10-256545号、特開平11-97689号公報に開示されている。

20 25 【0003】図10(a)は、そのような従来のトレンチ構造を有するMOS半導体装置の一例であるMOSFETの主要部の保護膜、電極膜等を透視した半導体基板表面の透視平面図である。細線は多結晶シリコン膜の位置、点線はソース電極の接触部分を示している。図10(b)は(a)図のA-A線に沿った断面図である。図10(a)において、5は格子状のトレンチである。トレンチ5に囲まれた方形のセル領域が主電流の流れる活性領域であり、その表面層には、環状のn⁺ソース領域3が形成され、その内部にはp⁺コンタクト領域4が形成されている。外周に沿ったトレンチ5の外側には、pウェル領域21が見られる。

30 35 40 45 50 【0004】図10(b)において、n⁺ドレイン層1aとnドリフト層1bとからなる半導体基板1の、nドリフト層1bの表面層にpウェル領域2が形成され、そのpウェル領域2の表面層にn⁺ソース領域3が形成されている。n⁺ソース領域3の表面からpウェル領域2を貫通してnドリフト層1bに達するトレンチ5が形成され、そのトレンチ5の内部には、ゲート酸化膜6を挟んで多結晶シリコンからなるゲート電極層7が充填されている。n⁺ソース領域3およびp⁺コンタクト領域4の表面上には、共通に接触するソース電極9が、またn⁺ドレイン層1aの裏面にはドレイン電極10が設けられている。8はゲート電極層7とソース電極9とを絶縁する層間絶縁膜、11はソース電極9を覆うバッショナリ膜である。

【0005】図10 (b) に示すように、トレンチ5の終端部は、ゲート電極層7の引出し部にもなっており、ゲート電極層7はゲート電極層帯13と接続されている。このゲート電極層7に適当な電圧を印加することにより、トレンチ5の内壁に沿ったpウェル領域2の表面層に反転層(チャネル)を生じ、ドレイン電極10とソース電極9間が導通して電流が流れる。この例のように、層間絶縁膜8の上にソース電極9が延長されることが多いが、必ずしもこのようにしなければならないわけではない。

【0006】

【発明が解決しようとする課題】図10 (b) の最外周のトレンチ5の外側には、トレンチ5によりpウェル領域2から分離された外周pウェル領域21が残される。この分離された外周pウェル領域21は、電位的にフローティングになるため、耐圧(MOSFETのドレインソース間耐圧BV_{DS}、IGBTのコレクタエミッタ間耐圧BV_{CE}等)が不安定になり、或いは劣化するという問題があった。

【0007】この問題を避けるには、外周pウェル領域21と内側のpウェル領域2とを同電位にするため、外周pウェル領域21に図のようにコンタクト22を設けなければならず、そのための面積を余分に必要とした。以上の問題に鑑み本発明の目的は、耐圧の低下を防止するために、フローティングウェル領域を作らず、しかも余分な面積を必要としないトレンチ型MOS半導体装置を提供することにある。

【0008】

【課題を解決するための手段】上記課題解決のため本発明は、第一導電型ドレン層と、その第一導電型ドレン層の一方に設けられた第二導電型ウェル領域と、第二導電型ウェル領域の表面層に形成された第一導電型ソース領域と、その第一導電型ソース領域の表面から第二導電型ウェル領域を貫通し第一導電型ドレン層に達するトレンチと、トレンチ内にゲート絶縁膜を介して設けられたゲート電極層と、第一導電型ソース領域と第二導電型ウェル領域との表面に共通に接触して設けられたソース電極と、第一導電型ドレン層の他方に設けられたドレン電極とからなるトレンチ型MOS半導体装置において、チップ端に向かうトレンチが、そのトレンチの終端と隣接するトレンチの内の一方のトレンチの終端とをつなぐトレンチ連結部を、第二導電型ウェル領域内に有するものとする。チップ端に向かうトレンチの一部が、そのトレンチの終端と隣接するトレンチの内の一方のトレンチの終端とをつなぐトレンチ連結部を、第二導電型ウェル領域内に有するものとしても良い。

【0009】トレンチの終端と隣接するトレンチの内の一方のトレンチの終端とをトレンチ連結部で結ぶことにより、トレンチの終端がなくなり、トレンチの終端での結晶欠陥や絶縁膜の薄膜化等の問題が解決されるだけで

なく、従来問題となっていた周辺部に残される第二導電型ウェル領域が分離されないので、電位がフローティングにならず、また、特別のコンタクト領域を設ける必要が無い。

05 【0010】特に大きな曲率半径をもつトレンチ連結部を設けることにより、電界が緩和される。トレンチ内のゲート電極層と接続するゲート電極層帯は、半導体チップの周辺に設けても、半導体チップの中央部に設けても良い。また、ゲート電極層帯を半導体チップの中央部に10 設けたときは、ゲート電極層帯の下方に大きな曲率を有するトレンチ連結部があつても、また直線状のトレンチがあつてもよい。

【0011】直線状のトレンチであれば、トレンチの湾曲の影響を免れるので、ゲート耐圧が向上する。

15 【0012】
【発明の実施の形態】以下、実施例にもとづき、図を参考しながら本発明の実施の形態を説明する。

【実施例1】図1は、本発明第一の実施例のMOSFETのチップ端部の保護膜、電極等を透視した透視平面図20 である。

【0013】内側のセル領域では、トレンチ5に囲まれてn⁺ソース領域3があり、その内部にp⁺コンタクト領域4があつて、従来と変わっていない。細線は多結晶シリコン膜の位置、点線はソース電極の接触部分を示している。図9 (a) の従来のMOSFETと比較して異なるのは、外周に沿ったセル領域の外側のトレンチ5が連続しておらず、一個置きに隣のトレンチ同士を曲率をつけたトレンチ連結部51で繋ぎ、終端が無いようになっている点である。

30 【0014】図2は、トレンチ連結部51近傍の拡大図である。トレンチ連結部51の幅はトレンチ5と同じく1μm、深さ3μm、トレンチ間隔は3μm、トレンチ連結部51の外周の曲率半径は約5μmである。半導体基板上のゲート電極層帯13の厚さは約800nmである。図3 (a)、(b)は、それぞれ図1のB-B線、

35 C-C線に沿った断面図である。図3 (a)においては、pウェル領域2の端部がトレンチ5によって分離されたように見えるが、図3 (b)においては接続しているため、そのpウェル領域2の端部もフローティングにはなっていない。従って、このようにすることによって、従来のような耐圧不安定を防止することができる。

40 或いは、周辺のpウェル領域2のためのコンタクトをとる部分の面積を削減できる。

【0015】実際に試作したトレンチ型MOSFETにおいても、耐圧は7.5V以上であり、従来より約20%向上した。しかも、トレンチ5を形成するためのエッチングマスクを変更するだけで済み、特別な工程の付加を要しない。

【実施例2】図4は、本発明第二の実施例のMOSFETの主要部の透視平面図である。細線は多結晶シリコン

膜の位置、点線はソース電極の接触部分を示している。
【0016】この例は、活性部がセル状でなく、ストライプ状の例である。pウェル領域2は、トレンチ連結部51の外側まで形成されている。この場合も、外側のトレンチ5が連続しておらず、一個置きに隣のトレンチ同士を曲率をつけたトレンチ連結部51で繋ぎ、終端が無いようになっている点が特徴である。例えばトレンチ5の幅は1.2μm、トレンチ間隔が2.8μm、トレンチ連結部51の直径は2.8μmである。

【0017】この場合のpウェル領域2の端部もフローティングにはなっていない。従って、耐圧不安定を引き起こすようなことは無い。実際に試作したトレンチMOSFETにおいても、ゲート酸化膜の耐圧は、実施例1と同様に約20%向上した。このようにトレンチの終端に連結部51を設けた例は、例えば特開平10-214968号公報に開示されている。しかし、この場合、図11に示すように、もし最外側のトレンチの外側にpウェル領域が形成されていると、その部分の電位はフローティングになってしまふ。

【0018】すなわち、特開平10-214968号公報の発明は、トレンチの終端を連結することだけであるのに対し、本発明はただ連結するのではなく、チップ端に向かうトレンチの少なくとも一部が、隣接するトレンチの一方のみと連結することが特徴である。また、その公報の図では、pウェル領域の端の位置が示されておらず、その相対的な位置関係が不明である。これらの点において、本発明は別の発明であると言える。

【0019】なお、この場合も、トレンチエッチングのためのマスクパターンを変更するだけで良く、特別に工程数を増やす必要が無い。

【実施例3】図5は、本発明第三の実施例のMOSFETの主要部の透視平面図である。この例では、トレンチ5内に埋め込まれたゲート電極層7とゲート電極層帯13とのコンタクトをチップの外周部でなく、チップの中央部でおこなっている点が、実施例2と異なっている。効果は実施例2と変わらない。

【0020】【実施例4】図6は、本発明第三の実施例のMOSFETの主要部の透視平面図である。この例では、トレンチ5内に埋め込まれたゲート電極層7へのコンタクトをチップの外周部でなく、内側でおこなっている点は、実施例3と同じである。但し、チップの外側と内側とで、トレンチ連結部51の位置が異なっており、蛇腹状となっているものである。

【0021】この場合も効果は実施例2と変わらない。

【実施例5】図7は、本発明第五の実施例のMOSFETの主要部の透視平面図である。この例でも、トレンチ5内に埋め込まれたゲート電極層7へのコンタクトをチップの外周部でなく、内側でおこなっている点は前二例と同じであるが、トレンチ5の直線部分から取り出しているものである。

【0022】このようにすれば、トレンチ連結部51の湾曲部からの取り出しに比べ、電界が均一になるので、ゲート電極層7、ソース電極9間の耐圧が向上する利点がある。

05 【実施例6】図8は、本発明第六の実施例のMOSFETの主要部の透視平面図である。

【0023】この例では、トレンチ5内に埋め込まれたゲート電極層7へのコンタクトをチップの内側の直線部分でおこなっている点は実施例5と同じであるが、隣接

10 する両側のトレンチ5と連結がおこなわれたトレンチ5が見られる。このようにチップ端に向かうトレンチ5の全部が、必ずしも隣接するトレンチの一方だけと連結されなければならないわけではなく、周辺pウェル領域と十分接続が保たれるのであれば、数本おきにそうしても15 良い。但し規則的に配置した方が良いと考えられる。

【0024】【実施例7】実施例1～6はいずれもMOSFETの例を示したが、IGBT、絶縁ゲートサイリスタ、およびそれらの集合体であるインテリジェントパワーモジュール(IPM)などのトレンチ型MOS半導

20 体装置にも適用できる。図9(a)、(b)は、IGBTの実施例における断面図であり、それぞれ図3(a)、(b)に対応している。図3との違いは、図3のn⁺ドライン層1aが、p型導電層1cとなる点だけである。よって、透視平面図は、図1、図4～8と同じ25 である。

【0025】

【発明の効果】以上説明したように本発明によれば、チップ端に向かうトレンチと、隣接するトレンチの一方とを結ぶトレンチ連結部を設けることにより、従来問題であった周辺領域のフローティング電位による耐圧不安定の問題を解決し、ゲート耐圧、V_{th}等を容易に向上させることができる。

【0026】本発明のトレンチ型MOS半導体装置の製造方法としては、トレンチ形成用のエッチングマスクを35 変更するだけで、特に工程を増やすことがなく、極めて容易に実現できる。

【図面の簡単な説明】

【図1】本発明実施例1のMOSFETの透視平面図

【図2】図1のトレンチ端部の拡大図

40 【図3】(a)は図1のB-B線に沿った断面図、(b)は図1のC-C線に沿った断面図

【図4】本発明実施例2のMOSFETの透視平面図

【図5】本発明実施例3のMOSFETの透視平面図

【図6】本発明実施例4のMOSFETの透視平面図

45 【図7】本発明実施例5のMOSFETの透視平面図

【図8】本発明実施例6のMOSFETの透視平面図

【図9】本発明実施例7のIGBTの断面図、(a)は

図1のB-B線に沿った断面図、(b)は図1のC-C線に沿った断面図

50 【図10】(a)は従来のMOSFETの平面図、

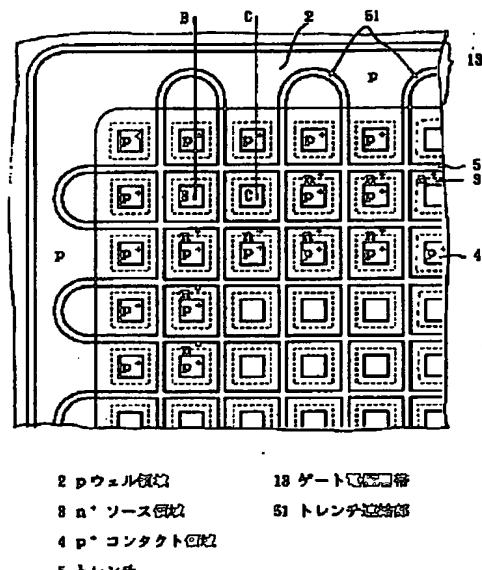
(b) は (a) のA-A線に沿った断面図

【図1】従来のMOSFETの平面図

【符号の説明】

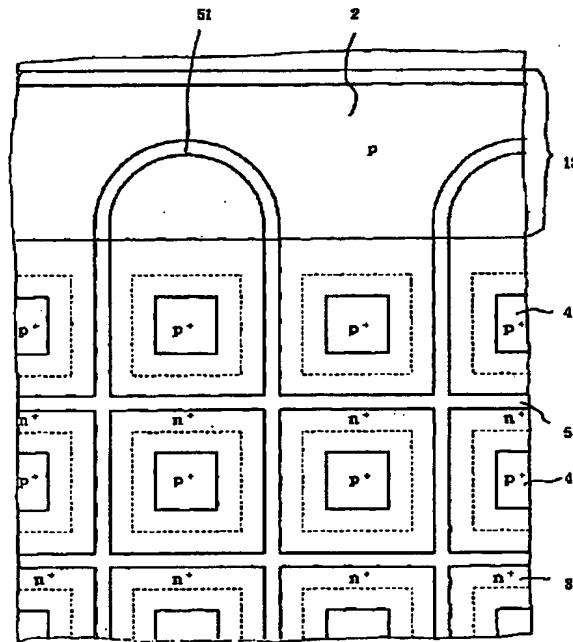
- 1 a n⁺ ドレイン層
- 1 b n ドリフト層
- 1 c p型導電層
- 2 p ウェル領域
- 3 n ソース領域
- 4 p⁺ コンタクト領域
- 5 トレンチ
- 6 ゲート酸化膜

【図1】

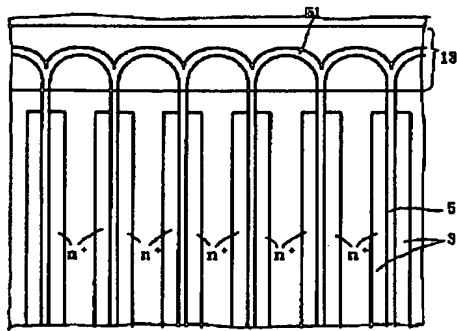


7	ゲート電極層
8	層間絶縁膜
9	ソース電極
10	ドレイン電極
05 1 1	バッシャベーション膜
1 3	ゲート電極層帯
2 1	外周pウェル領域
2 2	コンタクト
5 1	連結部
10 5 2	内側連結部

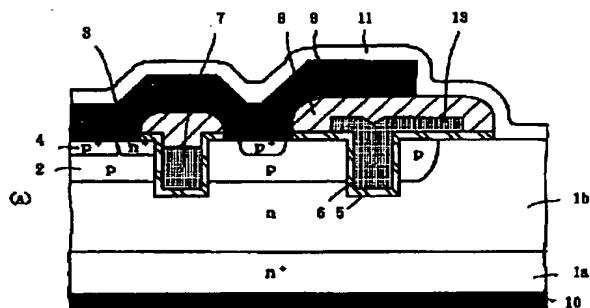
【図2】



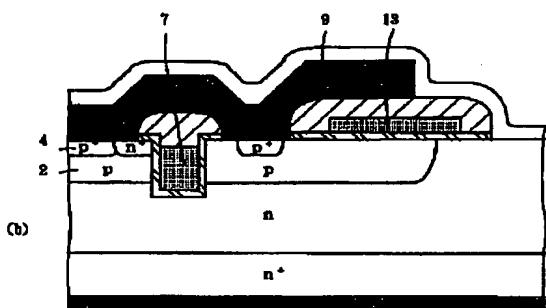
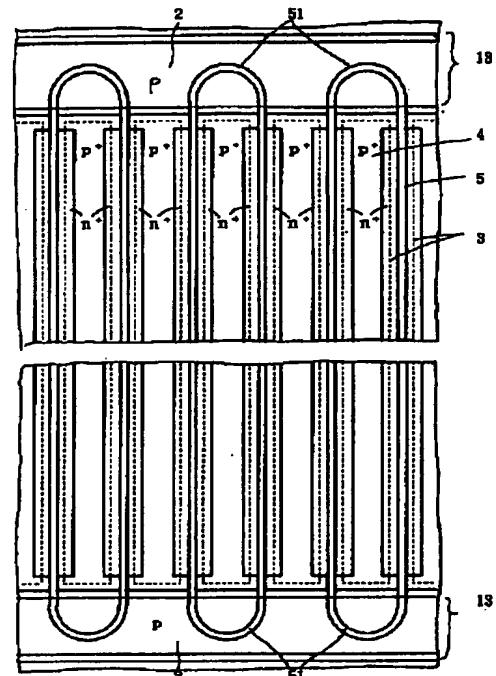
【図1】



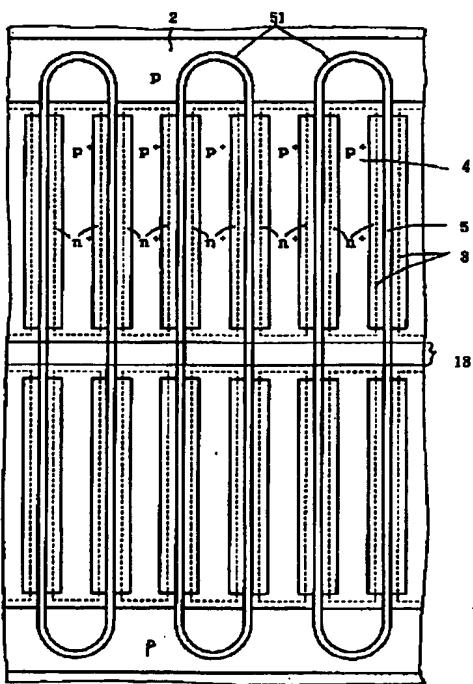
【図3】



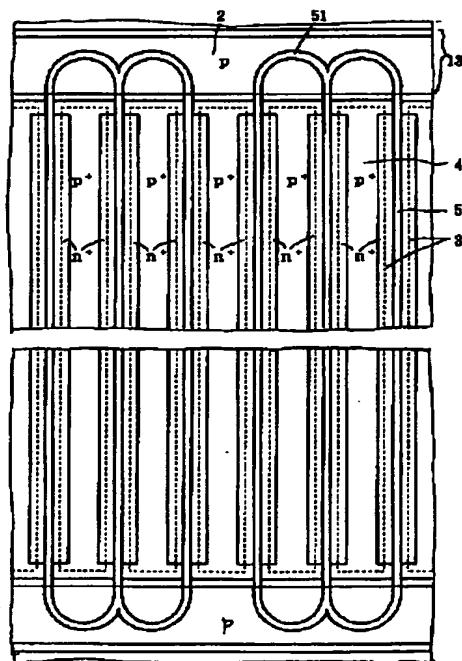
【図4】



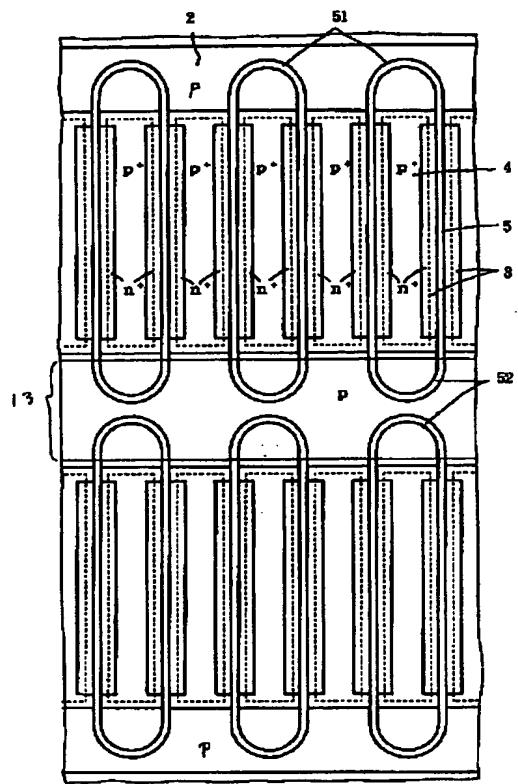
【図7】



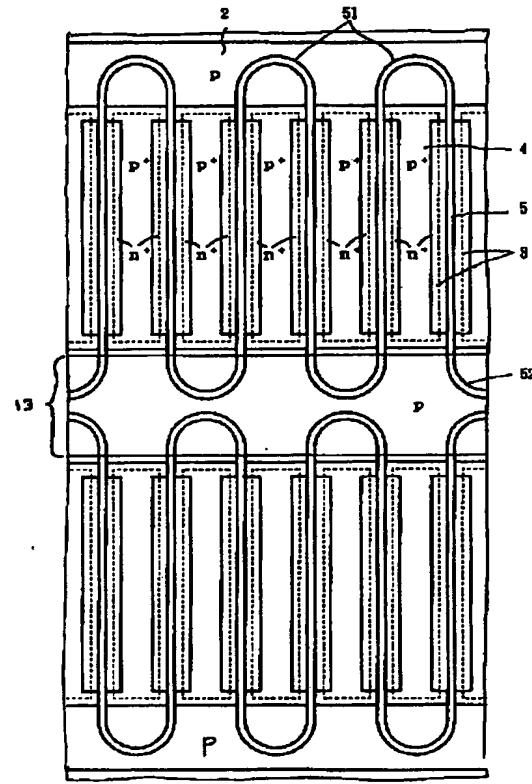
【図8】



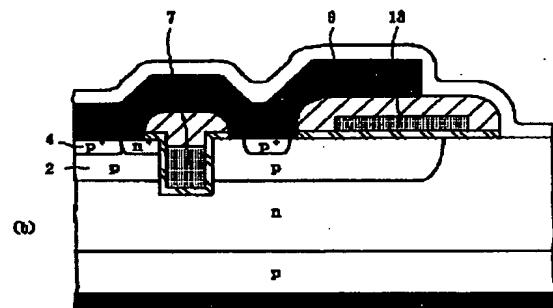
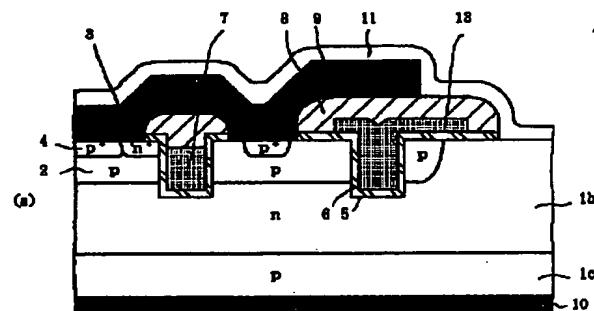
【図5】



【図6】



【図9】



【図10】

